

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-080985
(43)Date of publication of application : 11.03.2004

(51)Int.Cl. H02M 3/155
G11B 33/00
H02M 3/28

(21)Application number : 2003-170175
(22)Date of filing : 16.06.2003

(71)Applicant : HITACHI LTD
(72)Inventor : SASE TAKASHI
TATENO KOJI
KANOUDA TAMAHIKO
HAYASHI KATSUNORI
YOSHIDA SHINICHI

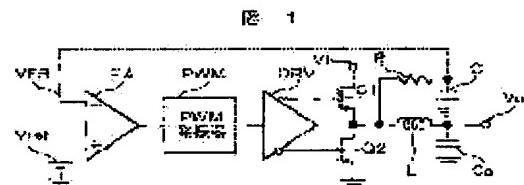
(30)Priority
Priority number : 2002175172 Priority date : 17.06.2002 Priority country : JP

(54) POWER SUPPLY DEVICE AND HARD DISK DEVICE USING IT, INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power supply device that makes the stabilization compatible with responsiveness of a control loop to go hand in hand.

SOLUTION: The power supply device connects a filter provided aside from an LC smoothing filter for power system and a differential amplifier in the interior of an error amplifier and feeds power back to an error amplifier for output voltage signal. The device also applies the output of the LC smoothing filter for power system to a control circuit having upper and lower limit detection, and controls forcefully a duty to 0% or 100% when a transient load varies, aside from a duty control of power MOSF-ET serving as top/bottom semiconductor switching device of a stationary state.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特願2004-80985

(P2004-80985A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int.CI.⁷**H02M 3/155**

F 1

H02M 3/155

テーマコード(参考)

5H730

G11B 33/00

H02M 3/155

W

H02M 3/28

G11B 33/00

A

H02M 3/28

H

審査請求 未請求 請求項の数 16 O.L. (全 18 頁)

(21) 出願番号

特願2003-170175 (P2003-170175)

(22) 出願日

平成15年6月16日 (2003.6.16)

(31) 優先権主張番号

特願2002-175172 (P2002-175172)

(32) 優先日

平成14年6月17日 (2002.6.17)

(33) 優先権主張国

日本国 (JP)

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(74) 代理人

100075096

弁理士 作田 康夫

(72) 発明者

佐瀬 隆志

茨城県日立市大みか町七丁目1番1号

株式会社日立製作所日立研究

所内

(72) 発明者

立野 孝治

茨城県日立市大みか町七丁目1番1号

株式会社日立製作所日立研究

所内

最終頁に続く

(54) 【発明の名称】電源装置及びそれを用いたハードディスク装置、IC

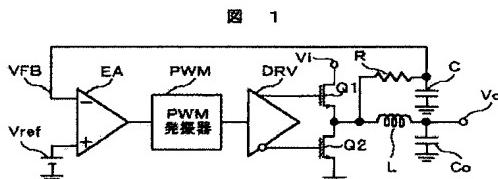
(57) 【要約】

【課題】制御ループの安定化と応答性とを両立した電源装置を提供する。

【解決手段】本発明の電源装置は、パワー系LC平滑フィルタとは別に設けたフィルタと誤差増幅器内部の差動増幅器をつないで出力電圧信号誤差増幅器に帰還する。

また、本発明の電源装置は、パワー系LC平滑フィルタの出力を上下限検出を有する制御回路に加えて、定常状態の上側／下側半導体スイッチング素子であるパワーMOSFETのデューティ制御とは別に、過渡負荷変動時にはデューティを強制的に0%、または100%にする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

電力半導体スイッチング素子と、該電力半導体スイッチング素子の駆動手段と、該駆動手段に駆動信号を供給するパルス幅変調発振器と、該発振器に誤差信号を供給する誤差増幅器とを備えた降圧型DC-D Cコンバータの電源装置において、出力電力を通すパワー系出力フィルタと、該パワー系出力フィルタとは別に設けたフィルタとを備え、該別に設けたフィルタの出力と前記誤差増幅器内部の差動増幅器を直結して前記誤差増幅器に出力信号を帰還することを特徴とする電源装置。

【請求項 2】

請求項 1 に記載の電源装置において、前記パワー系出力フィルタがインダクタとコンデンサとからなるLCフィルタであって、前記別に設けたフィルタがコンデンサと抵抗とからなるCRフィルタであり、該CRフィルタを前記LCフィルタに並列に設け、該CRフィルタを通して誤差増幅器に出力信号を帰還することを特徴とする電源装置。10

【請求項 3】

請求項 1 に記載の電源装置において、前記パワー系出力フィルタがインダクタとコンデンサとからなるLCフィルタであり、前記別に設けたフィルタがコンデンサと抵抗とからなるCRフィルタであって、前記パワー系出力フィルタのインダクタの両端に、CRフィルタを設けて、該CRフィルタを通して誤差増幅器に出力信号を帰還することを特徴とする電源装置。

【請求項 4】

請求項 2 または請求項 3 の何れかに記載の電源装置において、該CRフィルタの周波数をf CR, 該LCフィルタの周波数をf LCとしたときに、 $f_L < f_C < f_R$ の関係が成り立つことを特徴とする電源装置。20

【請求項 5】

請求項 4 記載の電源装置において、該電源装置がさらに過渡変動検出回路を備えていて、該過渡変動検出回路が、前記パワー系出力フィルタの出力端から出力電圧を検出し、該出力電圧が予め定めた上限値を超えた場合に前記パルス幅変調発振器のデューティを0%とする信号を出力し、前記出力電圧が予め定めた下限値以下の場合に前記パルス幅変調発振器のデューティを100%にする信号を出力することを特徴とする電源装置。

【請求項 6】

請求項 4 記載の電源装置において、該電源装置がさらに過渡変動検出回路を備えていて、該過渡変動検出回路が、パワー系の出力フィルタのインダクタの両端に新たに設けたCR回路の出力端から出力電圧を検出し、該出力電圧が予め定めた上限値を超えた場合に前記パルス幅変調発振器のデューティを0%とする信号を出力し、前記出力電圧が予め定めた下限値以下の場合に前記パルス幅変調発振器のデューティを100%にする信号を出力することを特徴とする電源装置。30

【請求項 7】

電力半導体スイッチング素子と、該電力半導体スイッチング素子の駆動手段と、該駆動手段に駆動信号を供給するパルス幅変調発振器と、該発振器に誤差信号を供給する誤差増幅器とを備えた降圧型DC-D Cコンバータの電源ユニットを複数備えた電源装置において40

、前記複数の電源ユニットそれぞれが、出力電力を通すパワー系出力フィルタと、該パワー系出力フィルタとは別に設けたフィルタとを備え、該別に設けたフィルタの出力と前記誤差増幅器内の差動増幅器を直結して前記誤差増幅器に出力信号を帰還することを特徴とする電源装置。

【請求項 8】

請求項 7 に記載の電源装置において、前記複数の電源ユニットを並列運転するために、該複数の電源ユニットに対して前記パルス幅変調発振器を共通に有し、該パルス幅変調発振器の出力を位相シフトし、該位相をシフトした信号を前記複数の電源ユニットに供給することを特徴とする電源装置。50

【請求項 9】

請求項 8 に記載の電源装置において、前記複数の電源ユニットがそれぞれ過渡変動検出回路を備えていて、該過渡変動検出回路が、前記パワー系出力フィルタの出力端から出力電圧を検出し、該出力電圧が予め定めた上限値を超えた場合に前記パルス幅変調発振器のデューティを 0 % とする信号を出力し、前記出力電圧が予め定めた下限値以下の場合に前記パルス幅変調発振器のデューティを 100 % にする信号を出力することを特徴とする電源装置。

【請求項 10】

請求項 1 に記載の電源装置において、

前記電力半導体スイッチング素子と、前記電力半導体スイッチング素子の駆動手段と、前記パルス幅変調発振器と、前記誤差増幅器と、前記パワー系出力フィルタの出力端から出力電圧を検出し、該出力電圧が予め定めた上限値を超えた場合に前記パルス幅変調発振器のデューティを 0 % とする信号を出力し、前記出力電圧が予め定めた下限値以下の場合に前記パルス幅変調発振器のデューティを

10 100 % にする信号を出力する過渡変動検出回路とを同じ半導体基板に形成したことを特徴とする電源装置。

【請求項 11】

磁気記録ディスクと、磁気ヘッドと、磁気ディスク回転駆動装置と、磁気ヘッド駆動装置と、磁気ヘッド位置制御装置と、入出力信号制御装置と、電力を供給する電源装置を備えたハードディスク装置において、

20 該電源装置が、電力半導体スイッチング素子と、該電力半導体スイッチング素子の駆動手段と、該駆動手段に駆動信号を供給するパルス幅変調発振器と、該発振器に誤差信号を供給する誤差増幅器とを備えた降圧型 DC - DC コンバータ電源装置であって、

出力電力を通すパワー系出力フィルタと、該パワー系出力フィルタとは別に設けたフィルタとを備え、該別に設けたフィルタの出力と前記誤差増幅器内の差動増幅器を直結して前記誤差増幅器に出力信号を帰還し、

前記パワー系出力フィルタがインダクタとコンデンサとからなる LC フィルタであって、前記別に設けたフィルタがコンデンサと抵抗とからなる CR フィルタであり、該 CR フィルタを前記 LC フィルタに並列に設け、該 CR フィルタの周波数を f_{CR} 、該 LC フィルタの周波数を f_{LC} としたときに $f_{LC} < f_{CR}$ の関係が成り立ち、該 CR フィルタを通して誤差増幅器に出力信号を帰還する電源装置を設けたことを特徴とするハードディスク装置。

【請求項 12】

請求項 4 記載の電源装置を、絶縁型 DC - DC コンバータに適用したことを特徴とする電源装置。

【請求項 13】

請求項 4 記載の電源装置のパルス幅変調発振器として、発振器とワンショット・マルチ・バイブレータと V / I 変換器を組み合わせて用いたことを特徴とする電源装置。

【請求項 14】

請求項 13 記載の電源装置のパルス幅変調発振器において、前記発振器の後にフェーズシフト回路を挿入し、各フェーズに対応してワンショット・マルチ・バイブルエータを設けたことを特徴とするマルチフェーズ制御の電源装置。

【請求項 15】

請求項 1 記載の電源装置において、前記誤差増幅器が低入力インピーダンスであって、前記別に設けたフィルタの出力に高入力インピーダンスのバッファアンプを介して前記誤差増幅器と接続したことを特徴とする電源装置。

【請求項 16】

請求項 1 ~ 10, 13, 14 のいずれかに記載の電源装置を半導体チップに内蔵したこと

を特徴とする IC。

【発明の詳細な説明】

50

20

30

【0001】**【発明の属する技術分野】**

本発明は、制御ループを安定化した電源装置及びそれを用いた装置に関するものである。

【0002】**【従来の技術】**

従来技術のループ安定化法を備えた電源装置では、パワー系のLC平滑フィルタから信号を誤差増幅器に帰還し、誤差増幅器で位相を補償して制御ループの安定化を図っている。この従来技術では、前記パワー系LC平滑フィルタにアルミ電解コンデンサを用いている（例えば非特許文献1）。

【0003】

一方、電源装置の小形化に対応するには、パワー系LC平滑フィルタのアルミ電解コンデンサに代えて、チップ部品のセラミック・コンデンサを使用する必要性が生じている。しかし、チップ・セラミック・コンデンサは等価直列抵抗

(ESR) が数 $m\Omega$ と小さく、しかも実際の使用条件では、セラミック・コンデンサを並列接続するので ESR の合計が $1 m\Omega$ 以下とさらに小さい。このために、アルミ電解コンデンサを用いた場合のような ESR のダンピングが期待できず、制御ループの安定化が難しい。

【0004】

上記従来技術でパワー系LC平滑フィルタに ESR が小さいセラミック・コンデンサを使用すると、ESR のダンピング効果が期待できないため信号が振動を起こし、位相補償が難しくなる。また、仮に従来技術で、誤差増幅器の動作帯域を狭めて位相補償ができたとしても、電源の応答が著しく遅くなる。さらに、

LC平滑フィルタの定数変更に際して、その都度誤差増幅器の位相補償条件を調整する煩わしさがある。

【0005】

また、出力LC平滑フィルタのインダクタの両端に接続したCR平滑フィルタの出力から低入力インピーダンスの誤差増幅器に戻す方法が記載されている（例えば特許文献1）。この技術では、CR平滑フィルタを用いて電源出力の電圧と電流の信号を取り出しているため、誤差増幅器の回路構成は低入力インピーダンス化が必要となる。このため、CR平滑フィルタのR値を小さくする必要があり、CR平滑フィルタの定数としては $0.47 \mu F$, 100Ω を用いている。従って、この定数のCR平滑フィルタは電源ICにオンチップできないので、外付部品として残り電源装置の小形化が図れないという課題がある。

【0006】**【非特許文献1】**

ZHANG et al., "Low-voltage on-board DC/DC modules for next generations of data processing circuits," IEEE Trans. on Power Elect. vol. 11, no. 2 Mar. 1996 P 328~337

【特許文献1】

U.S.P 5,877,611

【0007】**【発明が解決しようとする課題】**

電源装置で小形化を図ると、制御ループの安定化が難しくなる。本発明は、小形化とともに、制御ループの安定化が容易な電源装置を提供することである。

【0008】**【課題を解決するための手段】**

本発明は、制御ループの安定化のためにパワー系フィルタとは別に、信号を高速フィルタを通して帰還する電源装置とすることで、上記課題を解決できる。

【0009】**【発明の実施の形態】**

10

20

30

40

50

本発明の実施の形態について、簡単に述べる。

【0010】

本発明の電源装置は、降圧型DC-D Cコンバータの電源装置に、パワー系LC平滑フィルタとは別に設けたCR平滑フィルタに信号を通して誤差増幅器に帰還する。

【0011】

また、本発明の電源装置は、パワー系LC平滑フィルタの出力を上下限検出を有する制御回路に加えて、定常状態の上側／下側半導体スイッチング素子であるパワーMOSFETのデューティ制御とは別に、過渡負荷変動時にはデューティを強制的に0%、または100%にする手段を設けている。

【0012】

さらに、本発明の電源装置は、電源装置ユニットを複数台数用意し、これらを並列運転するために、複数の電源装置ユニットに共通に有する発振器とフェーズシフト回路とを備え、定常状態では各電源装置ユニットの上側／下側パワーMOSFETの駆動パルス位相を、360°を並列数で割った位相にそれぞれシフトし、過渡負荷変動時には並列電源装置ユニット総てを同位相の駆動パルスで運転する。

【0013】

以下、各実施例を図面を用いて説明する。

【0014】

(実施例1)

図1に本実施例の電源装置を示す。図1で、Viが入力端子、Voが出力端子である。入力端子Viには上側パワーMOSFET Q1が接続され、接地電位側には下側パワーMOSFET Q2が接続される。パワーMOSFET Q1とQ2の中点にはインダクタLとコンデンサCoとから成るパワー系出力フィルタであるLC平滑フィルタと、抵抗RとコンデンサCとから成るCR平滑フィルタとが並列に接続され、さらにLC平滑フィルタの中点には出力端子Voが、

CR平滑フィルタの中点には誤差増幅器EAの一方の入力(-)が接続される。ここで、上記LC平滑フィルタのコンデンサCoはチップ・セラミック・コンデンサである。

【0015】

また、誤差増幅器EAの他方の入力(+)には基準電圧Vrefが接続される。誤差増幅器EAの出力にはパルス幅変調(Pulse Width Modulation: PWMと略す。)発振器PWM、ドライバDRVを介してパワーMOSFET Q1, Q2のゲートが接続される。パワーMOSFET Q1, Q2は逆相で駆動され、交互に導通する。本実施例では、出力電圧Voutは入力電圧Vinより小さい。

【0016】

次に、図1の回路動作を説明する。入力端子Viに印加された入力電圧は、上側パワーMOSFET Q1と下側パワーMOSFET Q2のオン／オフ制御によってCR平滑フィルタを介して電圧に変換される。この変換電圧VFBは基準電圧Vrefと誤差増幅器EAとで比較され、誤差増幅器EAの出力に誤差電圧が増幅されて発生する。この誤差電圧はパルス幅変調発振器PWMでPWMパルスに変換される。このPWMパルスはドライバDRVで上側パワーMOSFET Q1と下側パワーMOSFET Q2とを駆動するオン／オフ時間比(デューティ:α)に変換され、誤差電圧がゼロになるように負帰還制御され、変換電圧VFBは基準電圧Vrefに等しくなる。この場合、定常状態においてCR平滑フィルタを通して得られる変換電圧VFBは入力電圧Vinのデューティαに比例する。従って、 $VFB = Vref = \alpha \cdot Vin$ の関係式が成立する。ここで、前記デューティαは、オン時間／(オン時間とオフ時間の和)で定義するので、0～1の間の値をとる。

【0017】

通常の降圧型コンバータの場合では、定常状態での電圧変換率が出力電圧と入力電圧の割合、すなわちデューティに等しいことがわかっているので、LC平滑フィルタの出力、す

10

20

30

40

50

なわち出力端子 V_o に得られる出力電圧 V_{out} は、入力電圧を V_{in} 、デューティを α とすると、 $V_{out} = \alpha \cdot V_{in}$ の関係式で求まる。

【0018】

上記2つの式より、 $V_{out} = VFB = \alpha \cdot V_{in}$ の関係が成立する。従って、出力電圧は、直接 LC 平滑フィルタ出力を帰還して制御しなくとも、他の方法でデューティ α を間接的に制御できれば出力端子 V_o の出力電圧 V_{out} を直接制御したことと同等になり、出力端子 V_o には入力電圧 V_{in} のデューティ α に比例した電圧が得られる。換言すると、パワーMOSFET Q1, Q2を駆動して、CR平滑フィルタの出力を負帰還制御することで、LC平滑フィルタの出力にも入力電圧 V_{in} のデューティ α に比例した所望の電圧が出力電圧 V_{out} を得ることができる。10

【0019】

本実施例は、上側パワーMOSFET Q1と下側パワーMOSFET Q2のデューティ制御による電圧変換手段として、制御ループにCR平滑フィルタを用いる1次遅れの制御方法なので、従来技術のようにLC平滑フィルタの2次遅れがなく、制御ループが振動系とはならないため、出力には振動波形は発生せず、ループが安定になる。従って、本実施例によれば、LC平滑フィルタのコンデンサにESRが小さいチップ・セラミック・コンデンサを使用しても、制御ループが安定化できる。

【0020】

次に、2つの平滑フィルタのコーナー周波数とスイッチング周波数との大小関係を説明する。CR平滑フィルタのコーナー周波数を f_{CR} 、LC平滑フィルタのコーナー周波数を f_{LC} 、スイッチング周波数を f_{SW} とすると、これらを $f_{LC} < f_{CR} < f_{SW}$ に設定して、ループの安定性は確保できる。この関係から、CR平滑フィルタから帰還したほうが、LC平滑フィルタから帰還した場合に比べてより動作周波数が高いので、高速応答が可能となる。また、 f_{LC} と f_{CR} とをある程度離れた周波数に設定すれば、LC平滑フィルタの定数を変更しても、CR平滑フィルタ定数を変える必要がなく、設計の自由度が大きくできる。スイッチング周波数の 1 ~ 6 MHz の高速動作に対しては、LC平滑フィルタおよびCR平滑フィルタの定数に、例えばそれぞれ $0.2\mu H$, $220\mu F$ と、 $20 pF$, $200 k\Omega$ とが使用できる。このコンデンサと抵抗器の値がこのオーダであれば、CR平滑フィルタを半導体集積回路チップに搭載（オンチップ）が可能となり、外付部品が不要になる。このことは、図1に示す電源装置を、従来技術の電源制御ICと同じ端子配置（ピンコンパチブル）のICにすれば、20

ICの置換えだけで従来技術のプリント配線基板がそのままで利用できる。なお、CR平滑フィルタの定数は $20 pF$, $200 k\Omega$ なので、誤差増幅器EAは、高入力インピーダンスの増幅器構成が必要となる。このため、誤差増幅器EAは誤差増幅器内部の差動増幅器の入力とCR平滑フィルタの出力とを直結した構成で用いるのがよい。30

【0021】

図2は、図1の電源装置でCR平滑フィルタを半導体チップに内蔵した場合のチップレイアウトの説明図である。図2では、Cが内蔵コンデンサで、Rが内蔵抵抗であり、これらが誤差増幅器EA、パルス幅変調発振器PWM、ドライバDRV、パワーMOSFET Q1, Q2と同じ半導体基板に搭載されている。40

【0022】

以上では、制御ループの誤差増幅器に帰還するフィルタをCR平滑フィルタを例に説明したが、この代わりに応答性のよい他のフィルタ回路を用いても同様の効果が得られる。また、半導体スイッチング素子としてパワーMOSFETを例に説明したが、代わりにIGBTを用いてもよい。

【0023】

(実施例2)

図3に本実施例を示す。図3で、図1と同じ構成要素には同じ符号を付している。図3が、図1と異なる点は、CR平滑フィルタをLC平滑フィルタのインダクタLの両端に接続したことである。本実施例では、出力のLC平滑フィルタのコンデンサCoの静電容量が50

大きいので、コンデンサ C_0 のインダクタ接続端側も接地電位と見做すことができる。本実施例でも、図1と同様の効果が得られ、さらにLC平滑フィルタのコンデンサ C_0 の温度変化による微小な容量変化も負帰還でき、ESRが小さいチップ・セラミック・コンデンサを使用しても制御ループの安定性が向上できる。この場合も、CR平滑フィルタの定数は、図1の実施例の定数が使用できる。図4に、図3の電源装置でCR平滑フィルタを半導体チップに内蔵した場合のチップレイアウトの説明図を示す。

【0024】

(実施例3)

図5は、実施例1に過渡変動検出回路TVDをさらに設けた電源装置である。この過渡変動検出回路TVDは出力端子 V_o の出力電圧 V_{out} と基準電圧 V_{ref} に上下限電圧幅 Δ を加えた電圧との間で過渡負荷変動を検出してパルス幅変調発振器PWMのデューティを制御する。具体的なパルス幅変調発振器PWMと過渡変動検出回路TVDの例を図6に示す。
10

【0025】

図6で、パルス幅変調発振器PWMは、電圧／電流変換回路 V/I と、電流源MOS110, 120と、インバータINV11, INV12と、コンデンサ105と、フリップフロップFFとを備えた可変発振器である。また、過渡変動検出回路TVDは、コンパレータCMP1, CMP2と、スイッチMOS SW1～SW4と、定電流源I1～I4と、インバータINV1～INV8とを備えている。
20

【0026】

過渡変動検出回路TVDは、2つのコンパレータCMP1, 2によるウインドコンパレータを備えていて、出力電圧 V_{out} を、基準電圧 V_{ref} に上下限電圧幅 Δ を加えた電圧で比較し、出力電圧 V_{out} の動作状態を検出して、図7に示すPWM発振器PWMのパルスデューティ α を決定する。これは、過渡変動検出回路TVDで、定常状態と過渡負荷変動時の制御方法を動作状態に見合った制御モードに切換えることである。
20

【0027】

2つのコンパレータCMP1, CMP2の出力から、(a) 負荷電流が減少した場合、(b) 定常状態、(c) 負荷電流が増加した場合の3通りの情報が得られる。これらのケースを図7を用いて説明する。

【0028】

(a) は $V_o \geq (V_{ref} + \Delta)$ の条件の場合である。このときはパルス幅変調発振器PWMの出力デューティを強制的に0%にする。このため、スイッチMOS SW1とSW4とをオン、スイッチMOS SW3とSW2とをオフにして、定電流源I1の電流は電流源MOS110の電流に加わってインバータINV11に流れ、定電流源I4の電流は電流源MOS120の電流を引き抜くためインバータINV12に流れる電流はゼロになる。よって、上側パワーMOSFET Q1はオフで、下側パワーMOSFET Q2はオンとなり、デューティ0%になる。この場合もデューティ α を完全に0%にするために、定電流源I1～4の電流値を、電圧／電流変換回路 V/I の差動対動作電流の合計電流にそれぞれ設定することが好ましい。
30

【0029】

(b) は $(V_{ref} + \Delta) > V_o > (V_{ref} - \Delta)$ の条件の場合ある。この場合は、総てのスイッチMOS SW1～4はオフであり、誤差增幅器EAからの制御指令で決定する電流比で動作する。この電流比はデューティの比率に等しいので、出力電圧 V_{out} として、入力電圧 V_{in} のデューティ α に比例した電圧が得られる。
40

【0030】

(c) は $V_o \leq (V_{ref} - \Delta)$ の条件の場合で、デューティを強制的に100%にする。この場合は、スイッチMOS SW3とSW2をオン、スイッチMOS SW1とSW4をオフにして、定電流源I3の電流が電流源MOS120の電流に加わってインバータINV12に流れ、定電流源I2の電流は電流源MOS110の電流を引き抜くためインバータINV11に流れる電流はゼロになる。よって、上側パワーMOSFET Q1はオ
50

ンで、下側パワーMOSFET Q₂はオフとなり、デューティ100%になる。この場合もデューティ α を完全に100%にするために、定電流源I₁～4の電流値を、電圧／電流変換回路V/Iの差動対動作電流の合計電流にそれぞれ設定することが好ましい。

【0031】

本実施例では、過渡負荷変動時に出力端子V_oに発生した電圧を、基準電圧V_{ref}に加えた上下限電圧幅±△以内に入るように、パルス幅変調発振器PWMのデューティ α を強制的に0%、又は100%に切換えて、出力電圧V_{out}をV_{ref}±△以内に急速に抑制する。そして、定常状態に入ると、出力電圧を入力電圧のデューティ α に比例した電圧に最終的に整定させる。

【0032】

このように、本実施例では過渡負荷変動時と定常状態によって制御モードを自動的に切換えるので、例えば、500A/ μ sの高い電流変化率(d_i/dt)を有する10A程度の過渡負荷変動に対しても高速応答と定常状態での出力電圧の安定化とを両立できる。

【0033】

次に、図20を用いてパルス幅変調発振器PWMの他の実施例を示す。図20の回路は発振器OSCとワンショット・マルチ・バイブレータOSMとV/I変換器VIとの組合せにより達成できる。発振器OSCで発生する一定周期のパルスは、図6のパルス幅変調発振器PWMの電流源MOS110と120に流す電流を所望の周期決定に必要な一定電流をMOS130と定電流源I5によって設定できる。この一定周期のパルスがワンショット・マルチ・バイブレータOSMのクロック端子CLKに印加されると、コンデンサCTの端子電圧は一旦、ゼロになるが、誤差増幅器EAの誤差電圧をV/I変換器VIで変換した電流によってコンデンサCTが充電される。そして、この充電電圧が所定のしきい値に到達するまでの時間がPWMパルスとして得られる。このようにして、一連のパルス幅変調発振動作を繰り返すことができる。即ち、誤差増幅器EAの誤差電圧に比例したPWMパルスを得ることができる。

【0034】

このパルス幅変調発振器PWMは後述する図11、図12のマルチフェーズ制御では有効な手段として用いている。この場合、マルチフェーズ動作のためには発振器OSCの後にフェーズシフト回路を入れる必要がある。

【0035】

(実施例4)

本実施例を図8～図10に示す。図8は、図3の実施例に過渡変動検出回路TVDDを設けたもので、図5と同様の効果が得られる。図9、図10は、図1、図3の回路図に過渡変動検出回路TVDDの入力をLC平滑フィルタのインダクタLの両端に設けたコンデンサC3と抵抗R3から成る直列回路の中点からとしたものである。これにより、コンデンサC3と抵抗R3の直列回路で検出できるインダクタL電流の位相と出力コンデンサC0の充放電位相を合わせることができるので、出力コンデンサC0のインダクタL電流からの充放電による過剰／余剰電荷を極力なくすことができる。このため、高速な応答と高い安定性に加えて、過渡負荷変動時の出力電圧の変動(リップル)を低減できる。

【0036】

(実施例5)

本実施例は、実施例1～実施例4の電源装置ユニットを複数個並列運転するマルチフェーズの実施例である。本実施例は、実施例1～実施例4に示した同種タイプの電源装置を2つ以上組合せる。以下、2フェーズ化を例に説明する。

【0037】

図11に、図8の電源ユニットをマルチフェーズ化した例を示す。図11では、マルチフェーズ化のために新たに発振器OSCとフェーズシフト回路PSTとを備え、これらで180°位相をシフトした二相パルスを生成し、この二相パルスをそれぞれのパルス幅変調発振器PWM1とPWM2に入力し、マルチフェーズ制御を実現している。

【0038】

10

20

30

40

50

図11の電源装置の例を図12に詳しく示す。図12では、パルス幅変調発振器PWM1が電圧／電流変換回路V/I1とワンショット・マルチ・バイブレータOSM1で構成され、定常状態ではフェーズシフト回路PSTからのパルス信号を受けて動作する。

【0039】

図12の動作を、図13の動作状態モードを用いて説明する。この動作状態モード実施例3場合と同様に述べる。以下、図12の上半分側に示すPhase1の電源で説明する。

(a) $V_{out} \geq (V_{ref} + \Delta)$ の場合は、パルス幅変調発振器PWMの出力デューティを強制的に0%にする。このため、ワンショット・マルチ・バイブレータOSM1のリセットRSTがオンとなり、デューティ0%になる。(b) $(V_{ref} + \Delta) > V_{out} > (V_{ref} - \Delta)$ の場合は、通常のワンショット・マルチ・バイブレータの動作でフェーズシフト回路PSTからのパルスをクロックCLKとして受け、電流源MOS210の電流値とタイミングキャパシタであるコンデンサCT1の容量値で決まるオンパルス幅を生成する。このオンパルス幅は、誤差増幅器EAからの制御で決定する電流比で動作する制御モードである。すなわち、この電流比はデューティに等しいので、出力電圧 V_{out} は入力電圧 V_{in} のデューティ α に比例した電圧になる。(c) の $V_{out} \leq (V_{ref} - \Delta)$ の場合は、デューティを強制的に100%にする。このため、タイミングキャパシタであるコンデンサCT1の両端をMOSスイッチM21でショートしてオン状態を持続し、デューティ100%とする。なお、リセットRSTには過電流検出回路OC1の検出結果も加え、上側パワーMOSFETQ1の過電流による素子破壊を防止する。図12の下半分のPhase2の電源でも動作は同じなので説明を省略する。

10

20

【0040】

以上の動作で、定常状態では2つの電源のインダクタ電流は 180° 位相がシフトした逆位相で動作し、過渡負荷変動時には2つの電源のインダクタ電流は同位相となり、急激な負荷変動に対応する。本実施例では、複数電源装置を用いて出力電流を大きくするだけでなく、出力電圧のリップルが低減する。

【0041】

2つより多い電源装置ユニットを備える場合には、複数の電源装置ユニットに共通に有する発振器とフェーズシフト回路とを備え、定常状態では各電源装置ユニットの上側／下側パワーMOSFETの駆動パルス位相を、 360° を並列に配置する電源ユニットの数で割った位相にシフトし、過渡負荷変動時には並列電源装置ユニット総てを上記(a), (c)と同様にして同位相の駆動パルスで運転する。例えば4つの電源装置ユニットであれば、 0° （基準）、 90° 、 180° 、 270° の各位相にシフトさせればよい。

30

【0042】

(実施例6)

本発明の電源制御装置のICチップ構成例を説明する。

【0043】

図14は、図8の回路構成の1チップ構成の一例である。図14では、LC平滑フィルタ、過渡変動検出回路TVDの電流位相検出のためのコンデンサC3と抵抗R3とから成るCR回路と、ダイオードDBTとコンデンサCBTから成るブースト回路とを外付する以外は、回路、機能を1つの半導体基板にオンチップ化している。

40

【0044】

オンチップ化した回路、機能には、コンデンサCと抵抗Rから成るCR平滑フィルタ、誤差増幅器EA、基準電圧 V_{ref} 、パルス幅変調発振器PWM、デッドバンド回路DBU、デッドバンド回路DBL、レベルシフト回路LS、ドライバDRVU、ドライバDRVL、上側／下側パワーMOSFET Q1, Q2、過電流検出回路OC、過渡変動検出回路TVD、上下限電圧発生回路 V_Δ 、ソフトスタート回路SS、アンダー・ボルテージ・ロックアウト回路UVLO、パワーグッド回路PWRGDがある。なお、基準電圧 V_{ref} はバンドギャップ・リファレンス回路から得る代わりに、VID (Voltage Identification) コードに対応したデジタル信号を受けて、図15に示すオンチップのD/A変換器で得てもよい。図示していないものもあるが、本実施例のワン

50

チップ電源制御ICは、Inte1社が提唱するVRM9.1に準拠した機能を備えている。

【0045】

図14では、上側パワーMOSFET Q1がNMOSの場合で説明したが、PMOSであっても良い。この場合は、外付のブースト回路が不要となるが、入力端子Viからの電位でPMOSのゲートを駆動する必要があるので、このための電圧発生源をオンチップ化する。

【0046】

入力端子Viと電源端子Vccに給電する電圧と同じにして、例えば5Vや12Vとしてもよいし、入力端子Viに12V、電源端子Vccに5Vとして異なる電圧にしても良い。入力端子Viと電源端子Vccに給電する電圧が異なる場合は、電源端子Vccの5Vは外部から給電とするか、入力端子Viの12Vからオンチップ回路で5Vを作り出して供給すればよい。なお、入力端子Viに12V給電する場合は、図14のブースト回路を、ダイオードDBTに直列に7V程度のツェーナー・ダイオードを接続して上側パワーMOSFETのゲート電圧が過大とならないようにする。10

【0047】

また、ソフトスタート回路の動作では、電源投入時に高速応答のための過渡変動検出回路の出力信号をマスクすればよい。

【0048】

(実施例7)

本実施例のマルチフェーズ対応のICチップ構成を図16に示す。図16は、ICチップの回路構成をマルチフェーズ化したものであって、発振器OSCとフェーズシフト回路P SFTとをICチップに加えた点が実施例6の図14と異なる。マルチフェーズ化によって必要になったICピンには、マルチフェーズ数に応じた位相パルス $\phi_1 \sim \phi_4$ を自/他のICチップに提供するための端子と、基準電圧Vrefと過渡変動検出回路TVDに上下限電圧発生回路V Δ の出力を供給するための端子とがある。20

【0049】

マルチフェーズの構成は、まず所望のマルチフェーズの数の分だけICチップを用意し、その中から1つのICチップをマスターとする。具体的には、マスターICチップの選択信号SEL0により発振器OSCおよびスイッチSWrを活性化して、選択信号SEL1とSEL2の2ビットで所望のフェーズ数を指定する。次いで、マスターICチップから位相パルス $\phi_2 \sim \phi_4$ 、基準電圧Vref、上下限電圧発生回路V Δ の出力V $+\Delta$ 、V $-\Delta$ を供給すると、他のICチップにはそれぞれ ϕ_1 、Vref, Vref+ Δ , Vref- Δ に加えることでマルチフェーズ化を達成する。30

【0050】

本実施例では、マルチフェーズ数を4で図示したが、フェーズ数には限定ではなく、フェーズ数設定のための選択信号数を変更すること、フェーズシフト回路P SFTをフェーズ数に見合った回路構成に変更して、これらをICチップに盛込むことでマルチフェーズ数を適宜増減できる。

【0051】

(実施例8)

図17に本発明の電源制御ICチップをプリント配線基板に実装した実施例を示す。図17は電源制御ICをBGA (Ball Grid Array) で、インダクタLやコンデンサC₀をチップ部品でプリント配線基板PBに搭載し、小型高密度実装を可能にしている。ここで、前記コンデンサC₀はチップ・セラミック・コンデンサである。なお、図示していないが、この他に、本実施例ではコンデンサC₃と抵抗R₃のCR回路や、ブースト回路、入力コンデンサがプリント配線基板PB上にチップ部品で搭載してある。また、BGAによるチップ搭載のほかに、CSP (Chip Size Package) 搭載であってもよい。

【0052】

さらに、マルチフェーズ対応の場合には複数の電源制御ICの上記のチップ搭載のほかに、MCM (Multi Chip Module) 搭載であってもよい。この他にも、誤差増幅器やPWM発振器等を備えた制御部と、パワーMOSFETを内蔵したドライバ部のように、2つのICチップを分けたものを同様にプリント配線基板に搭載してもよい。

【0053】

以上、本実施例によれば、ピンネックの解消、放熱性の向上、および電源装置プリント配線基板の小形化が実現できる。

【0054】

(実施例9)

本実施例を図18に示す。図18は、HDD (Hard disk Drive) 装置へ適用した実施例である。HDD装置は、磁気記録ディスクと、磁気ヘッドと、磁気ディスク回転駆動装置と、磁気ヘッド駆動装置と、磁気ヘッド位置制御装置と、入出力信号制御装置とを備えていて、これらのHDD装置HDD1～HDDnに実施例1～実施例8に記載の電源装置であるDC-DCコンバータDC-DC1～DC-DCnから電力を供給している。図18に示した電源装置であるDC-DCコンバータDC-DC1～DC-DCnは電力を供給する対象のHDD装置の電流容量に応じてシングルフェーズの電源装置やマルチフェーズの電源装置を用いる。

【0055】

(実施例10)

次に、本発明の制御方式を絶縁型DC-DCコンバータに応用した実施例を説明する。図19はフォワード型コンバータへの適用例を示す。図19では、フォワード型コンバータのインダクタLの両端に図3のようにCR平滑フィルタC, Rを設けて、そのCR平滑フィルタの中点の電圧VFBと基準電圧Vrefの関係を用いて誤差増幅器EAで誤差増幅を発生し、さらにその電圧をパルス幅変調発振器PWMを用いてPWMパルスに変換する。このPWMパルスはトランジスタT2を通してトランジスタT1を駆動するパワーMOSFET QDのゲートに印加され、負帰還制御される。これによって、出力端子V_oには所望の出力電圧が定常的に得られる。本方法は、パワー系のLC平滑フィルタから帰還しないので、ループ安定性のよい電源システムの構築が可能となる。よって、LC平滑フィルタのCにセラミック・コンデンサを使用した場合には効果的である。

【0056】

以上では、図3のCR平滑フィルタで説明したが、図1の方法でも可能である。また、トランジスタT2の代わりに、フォトカプラを用いても実現できる。図19では一石のフォワード型コンバータで述べたが、二石のフォワード型、プッシュプル型、ハーフブリッジ型、フルブリッジ型等の絶縁型DC-DCコンバータにも適用可能である。

【0057】

(実施例11)

次に、本発明の制御方式を市販の電源ICに適用した実施例を示す。図21は一般に販売されている電源ICとして、例えばIntersil社のPWM制御IC HIP6311Aとドライバ内蔵パワーMOSFET IC IL6571を用いた場合である。インダクタLの両端に設けた一方のCR平滑フィルタC, Rの中点は高入力インピーダンス化を図るためのバッファアンプBAと抵抗RINを介してPWM制御IC HIP6311Aのフィードバック端子FBに接続され、もう一方のCR平滑フィルタC3, R3の中点はLinear Technology社の基準電源LT1790A-2.5とコンバレータLT1715から成る過渡変動検出回路TVDに接続される。そして、PWM制御ICから出力されるPWMパルス信号PWM1(所望のデューティα)とデューティ0%α0とデューティ100%α100の3つの動作状態モードは、過渡変動検出回路TVDで得られた2つの信号a, bの“H”, “L”の関係から、図22のようにセレクタHD74HC153で選択的に切換えられ、その選択信号Yはドライバ内蔵パワーMOSFET ICのPWM端子に出力される。このことは、市販の電源ICを用いて構成した電源装置においても、本発明の制御方式は容易に適用できることを示している。本発明の

適用は、上記実施例で述べた製品には限定されない。なお、過渡変動検出回路TVDを用いない場合は、PWM制御ICから出力されるPWMパルス信号PWM1を直接ドライバ内蔵パワーMOSFETICのPWM端子に接続することで、本発明が達成できる。

【0058】

実施例1～実施例8の電源装置はこの他、図示しないが、VRMや、携帯機器用のDC-DCコンバータや、汎用のDC-DCコンバータ等へ応用展開ができるることは言うまでもない。

【0059】

この結果、本発明の電源装置は、制御ループ内にパワー系LC平滑フィルタの2次遅れが入らないので、制御ループの安定性が向上する。これにより、LC平滑フィルタにESR10が小さいチップ・セラミック・コンデンサが使用できるので、電源装置が小形になるという効果を有している。

【0060】

更に、上下限検出を有する制御回路で過渡負荷変動時の高速応答制御するので、高い電流変化率($d i / d t$)にも応答できる電源装置も提供できる。

【0061】

更に、本実施例の電源装置では、容易にマルチフェーズ化でき、大出力電流とリップル電圧低減を両立できる。

【0062】

【発明の効果】

本発明によって、制御ループの安定性を向上でき、更に設計の自由度が増すので、電源装置の小形化を図ることができる。

【図面の簡単な説明】

【図1】実施例1の電源装置の回路ブロック図である。

【図2】図1の電源装置でCRフィルタを半導体チップに内蔵したICの説明図である。

【図3】実施例2の電源装置の回路ブロック図である。

【図4】図3の電源装置でCRフィルタを半導体チップに内蔵したICの説明図である。

【図5】実施例3の電源装置の回路ブロック図である。

【図6】図5の詳細を示す回路図である。

【図7】図6の動作状態モードを示す図である。

【図8】実施例4の電源装置の回路ブロック図である。

【図9】実施例4の別の電源装置の回路ブロック図である。

【図10】実施例4のさらに別の電源装置の回路ブロック図である。

【図11】実施例5のマルチフェーズ電源装置の回路ブロック図である。

【図12】図11の詳細を示す回路図である。

【図13】図12の動作状態モードを示す図である。

【図14】実施例6の電源装置のチップ構成の一示す回路ブロック図である。

【図15】図14に適用するVIDコード入力D/A変換器の説明図である。

【図16】実施例7のマルチフェーズ対応チップの回路ブロック図である。

【図17】実施例8の電源制御ICのプリント配線基板実装の説明図である。

【図18】実施例9のHDD装置の説明図である。

【図19】実施例10の説明図である。

【図20】パルス幅変調発振器PWMの他の実施例を示す説明図である。

【図21】一般の電源ICに適用した実施例11の説明図である。

【図22】図21の動作状態モードを示す図である。

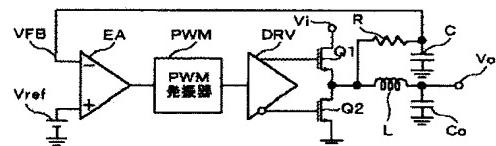
【符号の説明】

C₀, C, C₁～C₄, CT₁, CT₂, CBT…コンデンサ, 110, 110', 120…電流源MOS、BGA…ピン・グリッド・アレー・チップ、CMP1～CM_P4…コンバレータ、D/A…D/A変換器、DBT…ダイオード、DBU, DBL…デッドバンド回路、DC-DC₁～DC-DC_n…DC-DCコンバータ、DRV, DRV₅₀

1, DRV 2, DRVU, DRVL…ドライバ、EA, EA1, EA2…誤差増幅器、F…フリップフロップ、GND…グランド、HDD1～HDDn…HDD装置、I1～I4…定電流源、INV1～INV12…インバータ、L, L1, L2…インダクタ、LINE…給電ライン、LS…レベルシフト回路、OC, OC1, OC2…過電流検出回路、OR1, OR2…オア回路、OSC…発振器、OSM1, OSM2…ワンショット・マルチ・バイブレータ、PB…プリント配線基板、PG…パワーグランド、PSFT…フェーズシフト回路、PWM, PWM1, PWM2…パルス幅変調発振器、PWRGD…パワーグッド回路、Q1, Q3…上側パワーMOSFET、Q2, Q4…下側パワーMOSFET、R, R1～R4…抵抗、SS…ソフトスタート回路、SW1～SW4, M21, M21'…スイッチMOS、TVD, TVD1, TVD2…過渡変動検出回路、UVLO…アンダー・ボルテージ・ロック・アウト回路、Vcc…電源端子、Vi…入力端子、V/I, V/I1, V/I2…電圧／電流変換回路、Vo…出力端子、Vref…基準電圧、V△…上下限電圧発生回路、△…上下限電圧幅。
10

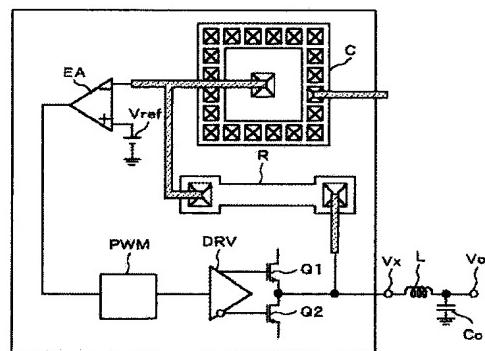
【図1】

図1



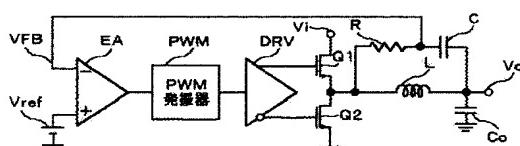
【図2】

図2



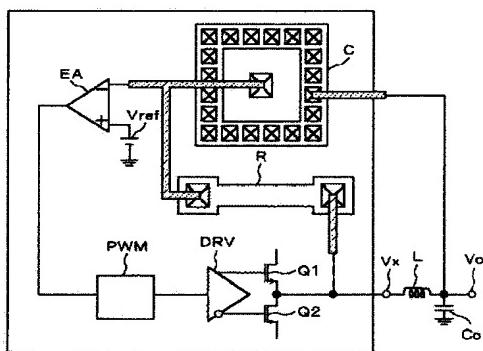
【図3】

図3



【図4】

図4



【図 5】

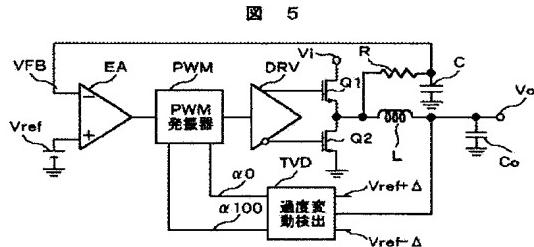


図 5

【図 6】

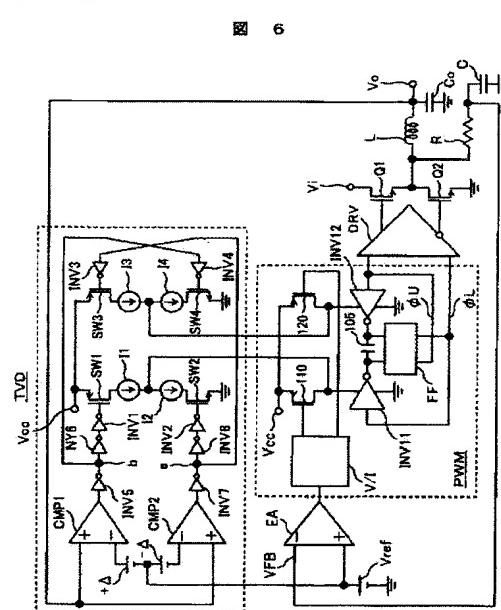


図 6

【図 7】

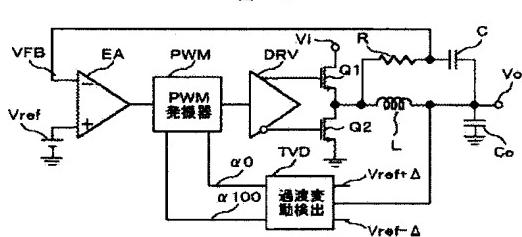
図 7

動作状態モード

電圧レベル	a点の理論値	b点の理論値	スイッチの状態駆動	デューティ α
Vo Vref +Δ -Δ	L	L	SW1, 4:on SW2, 3:off	0%
	L	H	SW1~4:all off	所望の α
	H	H	SW1, 4:off SW2, 3:on	100%

【図 8】

図 8



【図 9】

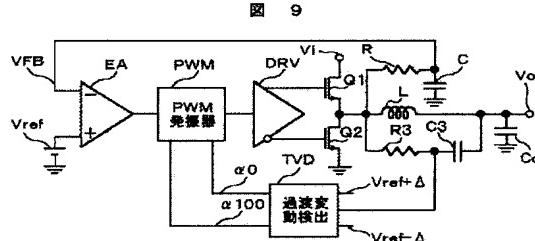


図 9

【図 10】

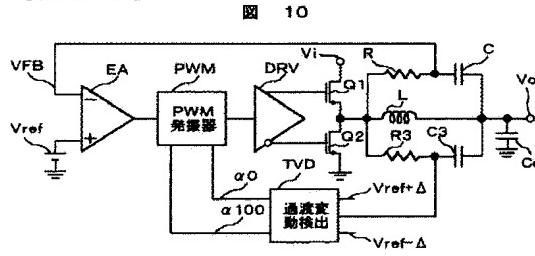
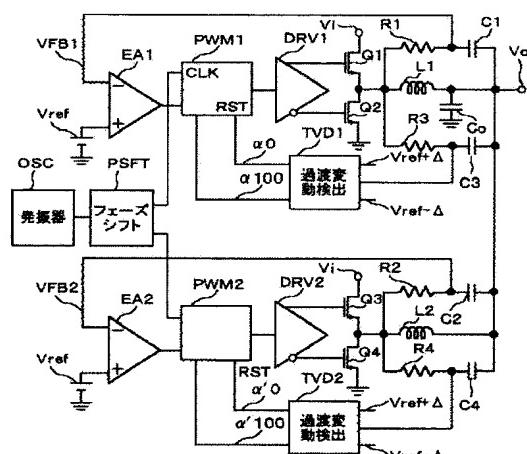


図 10

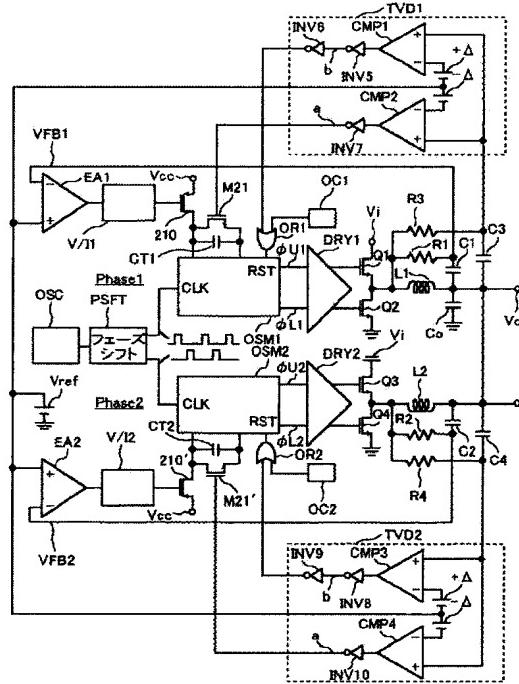
【図 1 1】

図 11



【図 1 2】

図 12



【図 1 3】

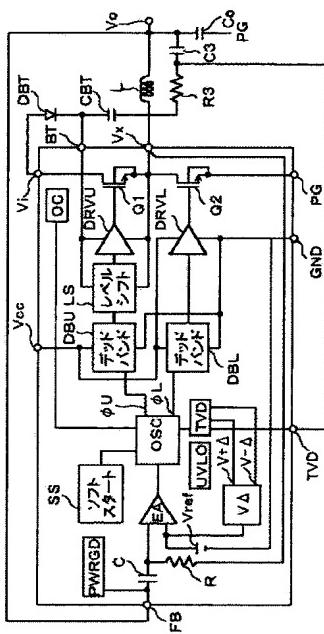
図 13

動作状態モード

電圧レベル		a点の論理値	b点の論理値	OSMの動作状態	デューティ α
V_o	$+ \Delta$	L	L	RST	0%
	V_{ref}	L	H	CLKトリガーバルス動作	所望の α
	$- \Delta$	H	H	CTの短絡	100%

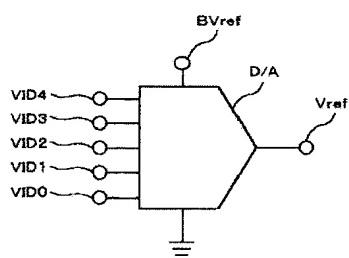
【図 1 4】

図 14



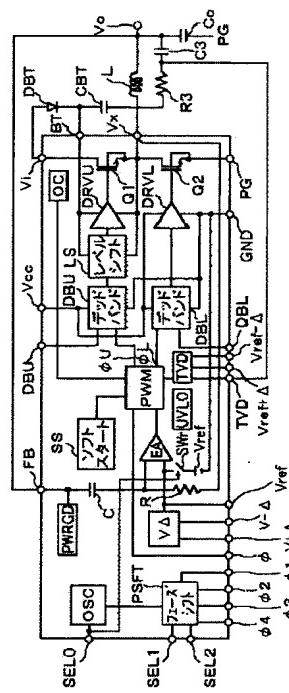
【図15】

圖 15



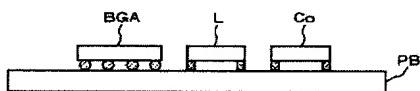
【図 16】

- 16



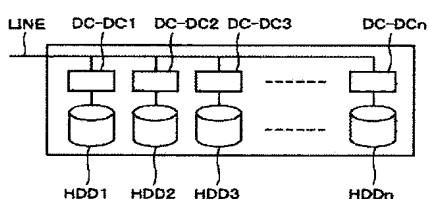
〔四一七〕

图 17



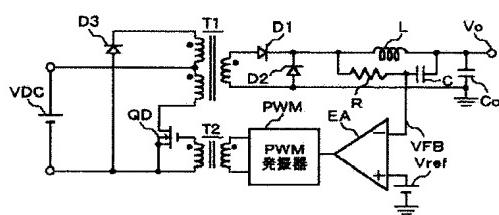
【四一八】

18



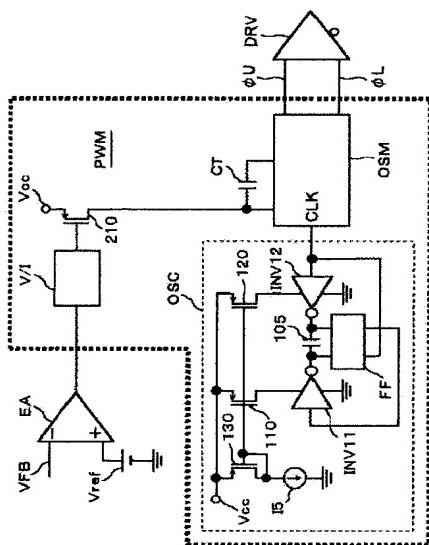
〔図 19〕

19



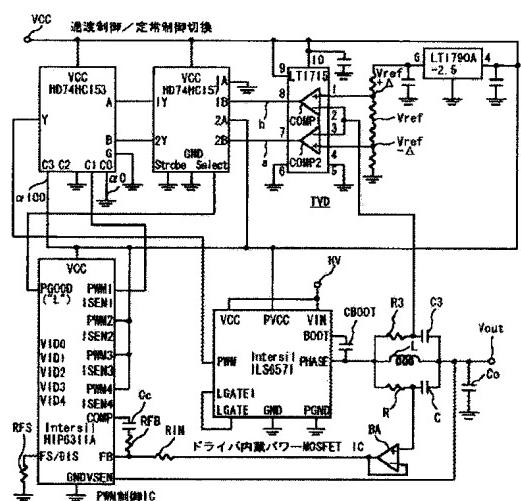
〔图20〕

図 20



【図 21】

図 21



【図 22】

図 22

動作状態モード		a点の論理電位	b点の論理電位	セレクタの選択出力	デューティα	
		C0	L	C1	所望のα	
		L	H			
		H	L			

電圧レベル	a点の論理電位	b点の論理電位	セレクタの選択出力	デューティα	
	L	L	C1	所望のα	
	H	L			
	L	H			

フロントページの続き

(72)発明者 叶田 玲彦

茨城県日立市大みか町七丁目1番1号

株式会社日立製作所日立研究所内

(72)発明者 林 克典

神奈川県小田原市中里322番地2号

株式会社日立製作所R A I Dシステム事業

部内

(72)発明者 吉田 信一

群馬県高崎市西横手町111番地

株式会社日立製作所半導体グループ内

F ターム(参考) SH730 AA15 AS01 AS13 AS22 BB03 BB23 BB57 BB82 DD04 DD22

DD41 EE02 EE08 EE10 EE13 FD02 FD03 FD07 FD28 FD30

FF01 FG05 FG25 XC04